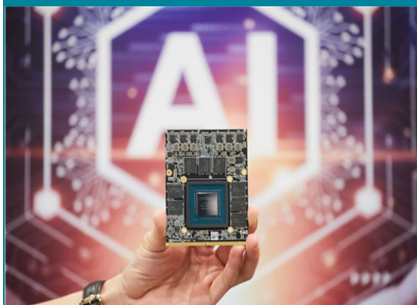


記憶體產業

2024 年為類 HBM 產品上場元年

優於大盤



資料來源：DigiTimes 2023-05-11

夏武正

(886-2) 2781-5995 ext. 37011

richard.hsia@fubon.com

類 HBM 供應鏈成形，建議投資人留意技術佈局領先之廠商

- ◆ 類 HBM 產品有望接力 HBM 市場的高速成長，預計 2024 年為上場元年。
- ◆ **HBM4 傳輸速度翻倍升級，2.5D/3D 先進封裝技術扮要角。**
- ◆ 類 HBM 市場之投資標的包括**愛普***、**華邦電**、**力成**等。

焦點分析

全球 HBM 產值 2023-24 年保持高速成長

市調機構 Gartner 預估全球 HBM 營收規模 2023 年約 20.05 億美元，2025 年達 49.76 億美元高峰後，2026-27 年成長將放緩，主要理由為 HBM 生產良率改善後，出現供過於求現象，ASP 將分別出現 YoY -19.1%、-15.6%。HBM 消耗量之應用領域以 GPU 最多，不過 FPGA 搭載之 HBM 使用量在 2025 年後將出現顯著成長，主要受惠推論模型之建置與應用帶動。不過，在 Edge AI 領域的「類 HBM 記憶體」市場 2024 年正處於初期成長階段，擁有相關技術平台之業者有機會取得絕佳的成長機會。

HBM4：摩爾定律放緩後，先進封裝為解方

近年來摩爾定律實際發展步調放慢，主因製程推進更有難度、SRAM 縮放停滯、資料 I/O 之提升速度緩慢；尤其是第三項因素資料 I/O 傳輸速度每四年才提速一倍，造成電晶體密度之推進，與 I/O 資料傳輸速率變化處於不對等的狀態。因此業界為了更明顯的提升資料 I/O 介面的傳輸效率，除了將 bump pitch 由數百 um 縮窄至 <100um，並發展出 2.5D 及 3D 封裝等技術領域。由於 HBM4 傳輸介面將由既有 1,024 位元翻倍至 2,048 位元，意味著 TSV 穿孔數量必須大幅增加，與之匹配的 RDL 及矽中介層也將更加複雜化；因此意味著生產成本將大幅增加，龍頭廠商 SK 海力士計畫以混合鍵結(Hybrid Bonding)取代現有的堆疊方式，達成傳輸速度翻倍之目的。

類 HBM 市場投資建議：愛普、華邦電、力成

此處所指類 HBM 記憶體包括華邦電的 CUBE (Customized Ultra-Bandwidth Elements, 客製化超高頻寬元件)新記憶體解決方案、愛普的 VHM(Very High-bandwidth Memory)、鈺創的 MemoraiLink 平台等 AI/Edge AI 記憶體解決方案。富邦看好類 HBM 產品對先進封裝技術之需求殷切，而產業可提供解決方案之業者有限，推薦的投資標的包括**愛普*(6531TT)**、**華邦電(2344TT)**、**力成(6239TT)**等。

圖表 1：台灣類 HBM 產業重要個股分析摘要

公司	股票代號	評等	2024/1/4			EPS(NT\$)			本益比(x)			本淨比(x)		
			價格(元)	目標價(元)	FY23F	FY24F	FY25F	FY23F	FY24F	FY25F	FY23F	FY24F	FY25F	
華邦電	2344TT	買進	\$29.35	\$33.60	-\$0.18	\$0.93	\$2.48	na	31.5	11.8	1.37	1.31	1.20	
力成	6239TT	中立	\$135.50	\$112.00	\$10.15	\$7.51	\$10.09	13.35	18.0	13.4	1.88	1.85	1.75	
愛普*	6531TT	買進	\$472.00	\$456.00	\$9.35	\$11.39	\$13.38	50.48	41.4	35.3	6.74	6.13	5.66	

資料來源：富邦投顧整理

全球 HBM 市場展望

生成式 AI 點燃 HBM 成長火苗

生成式 AI (generative AI) 與其他高度複雜的 AI 應用，帶動 AI 伺服器需求興起；而 AI 伺服器除最關鍵的中央處理器 (CPU) 和圖形處理器 (GPU)，有時還需搭配其他 ASIC、FPGA 等加速器；而前述各類運算晶片皆需搭配記憶體才能完成所賦與之任務。其中，AI 伺服器最重要的 GPU 晶片透過超高頻寬 (>1TB/s) 之記憶體容量而使得更強大的模型/更多的參數保留在離核心運算更近的位置，從而減少記憶體和儲存解決方案帶來的延遲。在此背景下，高頻寬記憶體 (High Bandwidth Memory, HBM) 因而成為現時 AI 伺服器的主流記憶體。

圖表 2：NVIDIA 伺服器 GPU 藍圖

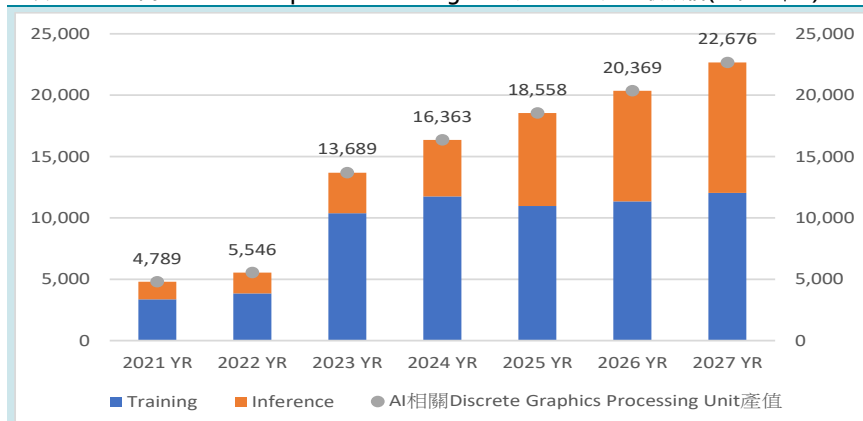
產品	A100	H100 SXM5	H100 PCIe	B100
上市時間	2020年	2022年		2024年
核心架構	Ampere	Hopper		Blackwell
GPU 機板外型規格	SXM4	SXM5	PCIe Gen5	—
製程	台積電7奈米	台積電4奈米		台積電4奈米
峰值單精度效能 FP32 (TFLOPS)	19.5	66.9	51.2	—
支援 HBM	40GB HBM2	80GB HBM3	80GB HBM2e	—
記憶體頻寬	1.6TB/s	3.4TB/s	2.0TB/s	—

資料來源：DigiTimes 2023/9、富邦投顧預估整理

訓練用途 GPU 產值預料 2024 年達峰，推論用途比重 2027 年占比升抵 47%

生成式 AI 橫空出世後，各大 CSP 業者正熱衷於投資大語言模型 (large language model, LLM) 之訓練伺服器。市調機構 Gartner (以下稱 G 機構) 預估 2023 年用於訓練之 GPU 產值約達 103.71 億美元，占全部 GPU 產值之 76%；不過預料 2024 年訓練用途產值達高峰後，2025 年推論用途之 GPU 產值占比將快速升高，到 2027 年訓練用途之占比將降至 53%，推論用途占比估升至 47%。

圖表 3：AI 相關 Discrete Graphics Processing Unit 應用範圍之營收預估 (單位：\$M)

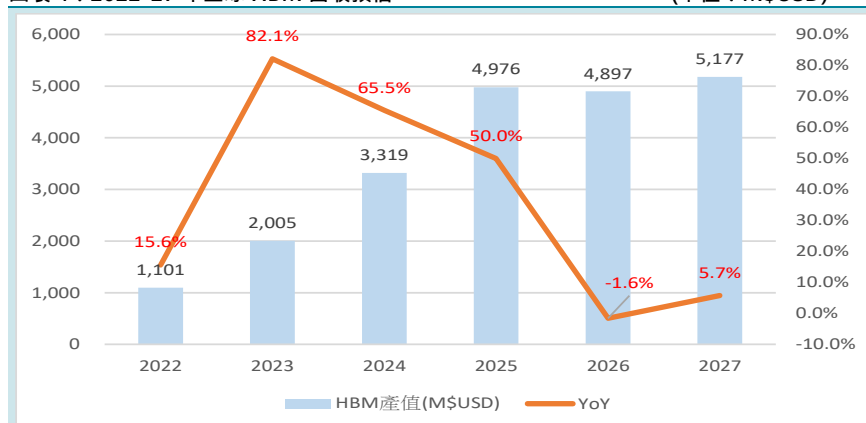


資料來源：Gartner 2023/8、富邦投顧預估整理

全球 HBM 產值 2023-24 年保持高速成長

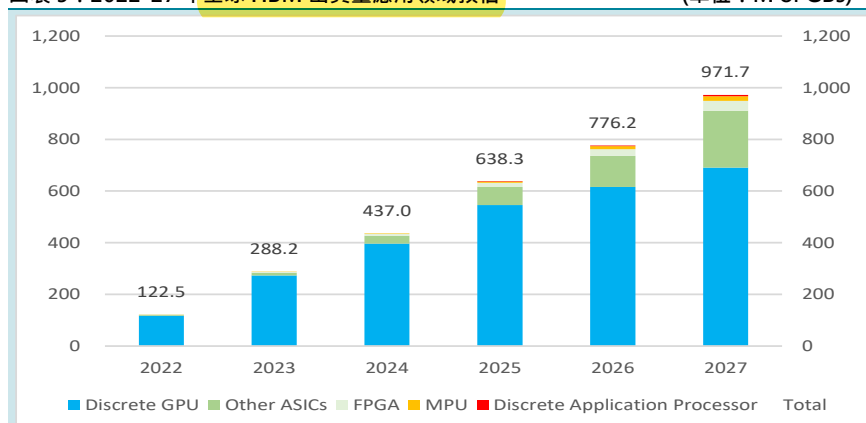
G 機構預估全球 HBM 營收規模 2023 年約 20.05 億美元，2025 年達 49.76 億美元高峰後，2026-27 年成長將放緩，主要理由為 HBM 生產良率改善後，出現供過於求現象，ASP 將分別出現 YoY -19.1%、-15.6%。HBM 消耗量之應用領域以 GPU 最多，不過 FPGA 搭載之 HBM 使用量在 2025 年後將出現顯著成長，主要受惠推論模型之建置與應用帶動。

圖表 4：2022-27 年全球 HBM 營收預估 (單位：M\$USD)



資料來源：Gartner 2023/8、富邦投顧預估整理

圖表 5：2022-27 年全球 HBM 出貨量應用領域預估 (單位：M of GBs)



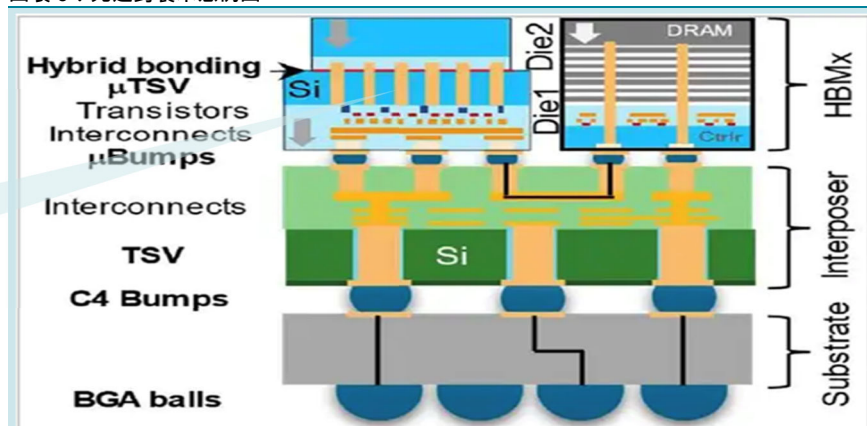
資料來源：Gartner 2023/8、富邦投顧預估整理

HBM 記憶體封裝技術

摩爾定律放緩後，先進封裝為解方

近年來摩爾定律實際發展步調放慢，主因製程推進更有難度、SRAM 縮放停滯、資料 I/O 之提升速度緩慢；尤其是第三項因素資料 I/O 傳輸速度每四年才提速一倍，造成電晶體密度之推進，與 I/O 資料傳輸速率變化處於不對等的狀態。因此業界為了更明顯的提升資料 I/O 介面的傳輸效率，除了將 bump pitch 由數百 um 縮窄至 <100um，並發展出 2.5D 及 3D 封裝等技術領域。

圖表 6：先進封裝示意例圖



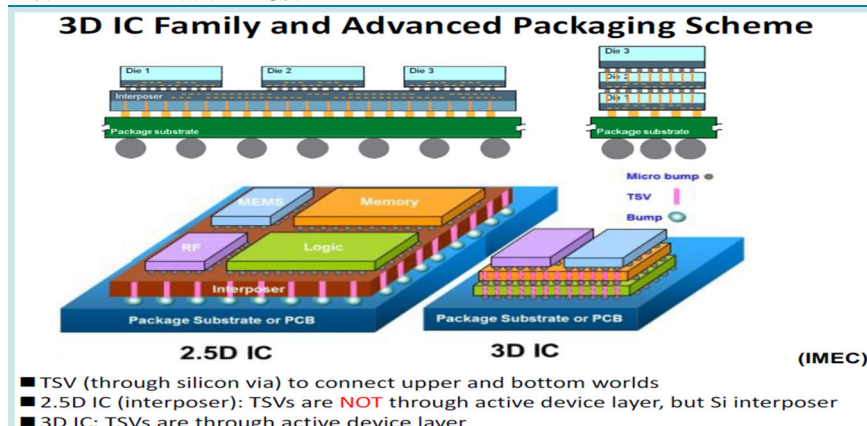
愛普 (6531TT) 提供 (1) 客制化 DRAM 設計；(2) DRAM 與邏輯晶片集成介面的 VHM™ LInK IP。

資料來源：電子工程專輯 2022/8/2

圖表 6 主要在於說明各類先進封裝技術不同層級之間的關係。首先，右上角的 DRAM 採用 3D 堆疊的封裝(即 HBM DDR)；左上角則為以混合鍵結(Hybrid Bonding)技術堆疊了 2 層 die 的小晶片架構。其次，左上角、右上角兩部分的堆疊晶片透過中間的中介層進行互連(此稱為 2.5D 封裝)；其中 RDL 用於訊號互連，包括觸及封裝基板的部分。

總結圖表 6 中闡釋了不同的 bump 與鍵合方式，包括(1)C4 Bump (間距約 110~150 μm 之間)；(2)μBump (間距約 40~55μm)；(3)小晶片 3D 堆疊的混合鍵結。矽中介部分，在 bump 和 RDL 之間還需要矽通孔(TSV)；而 die 之間的 3D 堆疊貫穿也用到了μTSV。

圖表 7：3D IC 家族與先進封裝示意



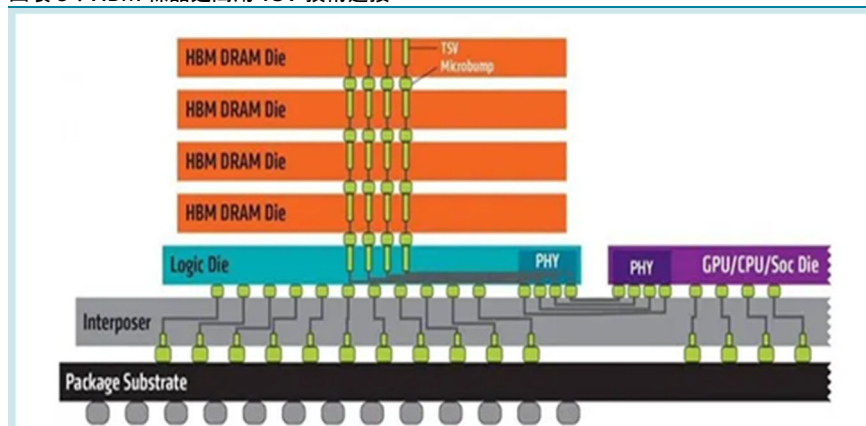
資料來源：CoWoS 技術發展商機解感 陽明交大 陳冠能 教授於富邦法人部演講 2023/7/25

HBM3/3E 封裝技術：SK 海力士 MR-MUF 技術更勝一籌

現況 HBM 堆疊的主流製程是由 8 或 12 個晶片(die)堆疊在一起，封裝所需執行之工序包括(1)晶圓矽穿孔(TSV)；(2)晶圓 CMP 減薄後切割；(3)晶片和晶片之堆疊。其中第(3)步驟，三星電子、SK 海力士、美光等 DRAM 廠商採用了 NCF 技術。然而，SK 海力士從第三代 HBM2E 開始採用 MR-MUF 技術，HBM 的生產良率即明顯優於競爭對手，學習曲線也較對手縮短。

其中，NCF(Non Conductive Film)是一種在晶片和晶片之間使用薄膜進行堆疊的方式。至於 MR-MUF(Mass Reflow Molded Underfill)技術，係指將半導體晶片貼附在電路上，在晶片向上堆放時，在晶片和晶片之間使用一種稱為 EMC 的物質填充和粘貼的工藝。由於 HBM 晶片在堆疊前須減薄 40%，因此容易造成晶片的翹曲、破片，而 MR-MUF 技術的 EMC 填充物質可有效改善堆疊結構的物理強度，生產良率因而提升不少。

圖表 8：HBM 裸晶之間用 TSV 技術連接

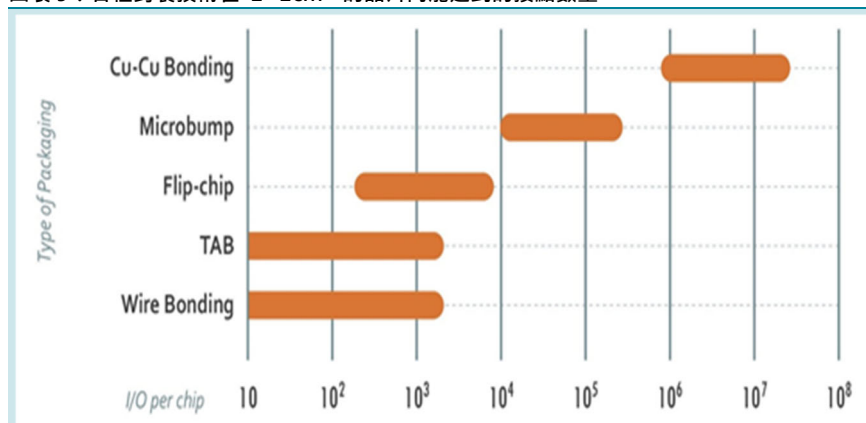


資料來源：AMD 官網、EE Times China 2023/10

HBM4：傳輸介面由 1,024 位元翻倍至 2,048 位元

韓國媒體 2023 年 12 月報導 SK 海力士正與輝達 (NVIDIA) 開發全新的 GPU，擬將其新一代的高頻寬內存 (HBM4) 與邏輯晶片堆疊在一起，並且 HBM4 介面將由 HBM3E 以前的 1,024 位元翻倍到 2,048 位元。此次改變主因 DRAM 單元的基礎物理原理無法改變的情況下，既有 HBM 速度將無法滿足未來 AI 場景的資料傳輸要求，因而試圖透過改變 HBM4、HBM 與 Logic 晶片間的封裝，達成提升傳輸速度的目的。

HBM4 傳輸介面翻倍意味著 TSV 穿孔數量必須大幅增加，與之匹配的 RDL 及矽中介層也將更加複雜化；因此意味著生產成本將大幅增加，海力士因而嘗試以混合鍵結(Hybrid Bonding)取代現有的堆疊方式。

圖表 9：各種封裝技術在 1×1cm² 的晶片內能達到的接點數量


資料來源：閱康官網·3D IC 封裝：超高密度銅-銅異質接合，國立陽明交通大學陳智教授 2022/7

既有 Bump 的物理限制

不論 NCF 或 MR-MUF，都須在晶片之間透過錫錫凸塊(bump)進行連接，然而覆晶錫錫接合過程在 bump pitch 微縮至 10um 則會出現若干問題影響良率及效能，如：

- (1) bump 過小使得機械性質與導電性質皆會大幅降低；
- (2) 橋接失效(Bridge Failure)，主因 pitch 過小兩相鄰錫錫球容易碰觸在一起；
- (3) 底部施加填充劑之過程難度大幅升高；
- (4) 即使所有困難皆克服，焊錫 bump 的電阻率大約是銅的十倍，因此也不合適用於高性能元件封裝。

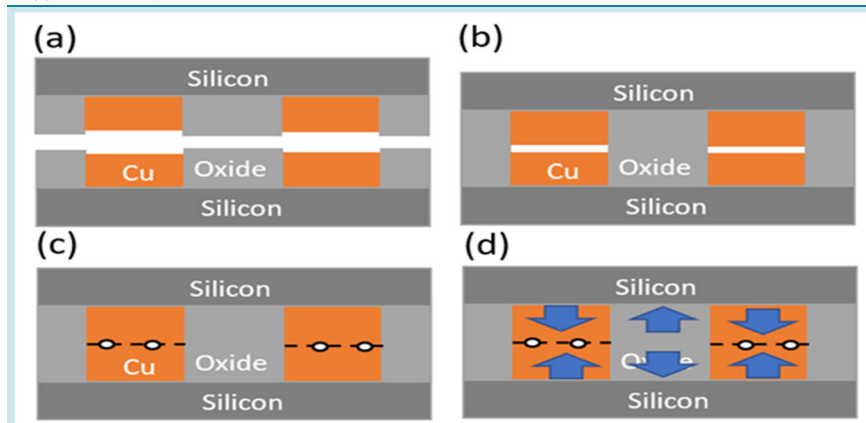
銅-銅混合鍵結(Cu-Cu Hybrid Bonding)為 HBM4 解方

銅-銅混合鍵結(Cu-Cu Hybrid Bonding) 2016 年由 Sony 公司首先應用在 Samsung Galaxy S7 的背照式 CMOS 影像偵測器(Backside-illuminated CMOS Image Sensor, BI-CIS) 中，大幅提高了鏡頭解析度。銅-銅混合鍵結之接合步驟如圖表 10 所示：(a) 試片未接合樣貌 (b) 介電材料接合步驟 (c) 提高溫度銅接點接合過程 (d) 高溫時接點內部應力分布狀態。

首先，將兩晶片間以 SiO₂ (介電材料) 與銅 (接點金屬) 貼上對接，此時銅部分將會有點略低於介電材料厚度；利用電漿 (Plasma) 做表面活化處理，將晶片面對面在室溫下進行對位接合，由於凡德瓦力作用已具有一定的接合強度，接著在 100°C 下恆溫讓 SiO₂ 與 SiO₂ 之間進行縮合反應，形成強力共價鍵提高接合強度。接著再將溫度提高到 300°C 至 400°C 恆溫，此時由於銅金屬的熱膨脹系數較 SiO₂ 來的大，銅表面將會碰觸在一起，並自然受到一壓應力，促使銅接點進行擴散接合。

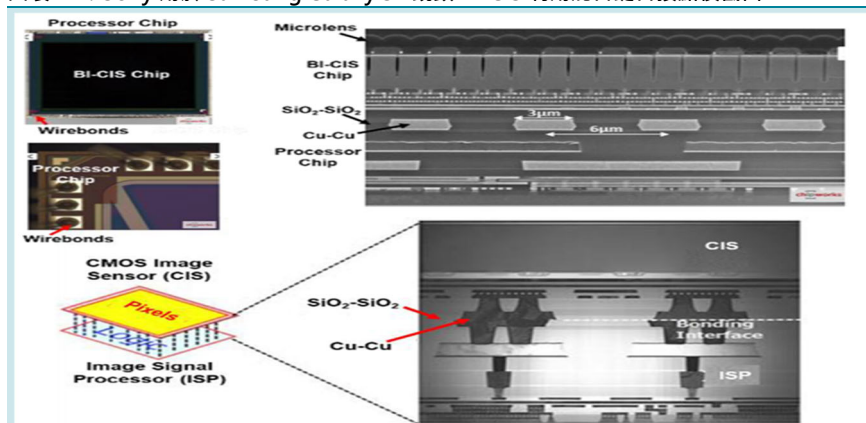
截至目前，除 Sony 公司以外，台積電(SoIC 技術)、英特爾(第 14 代 Core CPU 開始採用 Foveros 技術)及 AMD(例如 Ryzen 7 5800X3D)等皆已有實際採用銅-銅混合鍵結(Cu-Cu Hybrid Bonding)技術之量產實蹟。

圖表 10：混合鍵合流程圖



資料來源：閩康官網·3D IC 封裝：超高密度銅-銅異質接合，國立陽明交通大學陳智教授 2022/7

圖表 11：Sony 用於 Samsung Galaxy S7 鏡頭 BI-CIS 利用混合鍵合接點橫截面



資料來源：閩康官網·3D IC 封裝：超高密度銅-銅異質接合，國立陽明交通大學陳智教授 2022/7

結論與投資建議

2023-24 年 HBM 記憶體正夯，類 HBM 市場可望接續市場熱度

全球主要 CSP 業者 2023 年起積極投資生成式 AI，引領 AI 伺服器之 CPU、GPU 世代升級之需求，催生市場看好 HBM 記憶體的產值成長潛力。不過，Gartner 預估全球 HBM 市場可能在 2025 年後因 HBM 封裝良率改善而出現 ASP 下滑、產值成長停滯的現象。反觀在 Edge AI 領域的「類 HBM 記憶體」市場 2024 年正處於初期成長階段，擁有相關技術平台之業者有機會取得絕佳的成長機會。

此處所指類 HBM 記憶體包括華邦電的 CUBE (Customized Ultra-Bandwidth Elements, 客製化超高頻寬元件)新記憶體解決方案、愛普的 VHM(Very High-bandwidth Memory)、鈺創的 MemoraiLink 平台等 AI/Edge AI 記憶體解決方案。富邦推薦的相關個股包括愛普*(6531TT)、華邦電(2344TT)、力成(6239TT)等。

華邦電(2344TT)：提供客製化 DRAM 及/或矽中介層

我們預期華邦電在類 HBM 封裝相關商機可望取得邊緣運算的客製化記憶體及矽中介層的代工商機，訂單主要來自與聯電及力成的合作關係。另外，華邦電董事會於 2023 年 12 月 22 日通過研發設備資本支出預算 12.86 億元，將用於 CUBE 封裝之研發及設備投資。富邦預估 2H24 前述業務將有小量貢獻，2025 年起解決方案有望步入量產。以下將分別介紹華邦電與聯電、力成的合作計畫。

首先，聯電 2023 年 10 月 31 日宣布和華邦電、智原、日月光半導體和益華電腦 (Cadence) 等合作夥伴成立晶圓對晶圓(wafer-to-wafer, W2W) 3D IC 專案，協助客戶加速 3D 封裝產品的生產。該合作案是利用矽堆疊技術，整合記憶體及處理器，提供一站式堆疊封裝平台，以因應 AI 從雲端運算延伸到邊緣運算趨勢下，對元件層面高效運算不斷增加的需求。聯電預期該平台可在 2024 年完成系統級驗證後就位；華邦電將為客戶提供客制化超高頻寬元件 (CUBE) 架構之記憶體晶圓。

其次，力成於 2023 年 12 月對外公佈，與華邦電簽訂業務意向書，共同合作開發 2.5D / 3D 異質整合封裝，最快 4Q24 可提供方案。華邦電負責提供及記憶體產品 (包括 DRAM 及 Flash)及/或矽中介層(Silicon-Interposer)的客制化服務。

力成(6239TT)：取得 2.5D 及 3D 先進封裝之代工門票

力成已宣誓將投入 2.5D 及 3D 先進封裝代工服務，並預期可在 2H24 提供完整的解決方案予客戶。首先，力成在 CIS 封裝業務累積了 TSV 與 3D 封裝之技術能力，其製程以 TSV 將 ISP 和 memory 晶圓接合，良率已可超越同業以 BGA 方式進行結合。其次，力成已決議投資 2 億元於 CMP 設備，預計 4Q24 機台成功導入後，將有助於代工 CIS 或類 HBM 的封裝業務。最後，力成於去年 12 月宣佈將提供客戶完整 2.5D / 3D 異質整合封裝，並優先推薦客戶使用華邦電之客制化記憶體產品 (包括 DRAM 及 Flash)產品及/或矽中介層 (Silicon-Interposer)，以達成異質整合之封裝服務，並預期 4Q24 可提供解決方案予客戶。

總結以上，我們認為力成在類 HBM 封裝商機中，初期可代工 CoWoS 製程中的“oS”段之代工，中期可替 Edge AI 領域客戶提供完整的 2.5D/3D 封裝代工服務，長期則有機會替美光代工 HBM 的後段封裝。

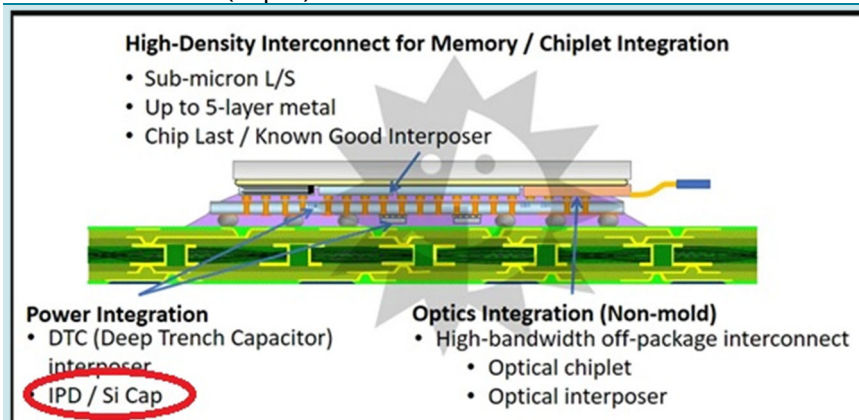
愛普(6531TT)：AI 記憶體及 3D 封裝之技術授權業者

愛普科技原主要業務為功能性手機之 PSRAM 設計與銷售，2018 年起即著手由傳統記憶體業務轉向利基型市場，並於同年開始 VHM™ 3D 整合專案之研發，時至今日已成功在客制化、Non-JEDEC DRAM 市場建立產業地位。公司目前 AI 事業部營收比重約僅一成，現有產品線涵蓋 VHM 記憶體之銷售與設計服務(內含 VHM™ 及 VHMLink™ IP)、矽電容(成品銷售及設計服務)，皆與 AI 系統晶片之先進封裝技術相關，中長期成長潛力不可限量。以下將分別介紹 AI 事業部的兩大產品：VHM 記憶體及矽電容(IPD, Integrated Passive Device)。

首先，愛普科技於 2021 年完成全世界第一個 3D 異質整合 DRAM 及邏輯晶片之開發；其間愛普除提供 DRAM 設計服務及 IP 授權外，並協助客戶完成 3D 封裝之設計定案，最後於 2Q21 正式量產貢獻營收，產品應用在乙太幣礦機之主晶片。2023 年以來受惠生成式 AI 需求爆發，三大 DRAM 原廠提供之標準 HBM 記憶體供不應求，同時亦無法滿足所有應用領域之需要，因此愛普在 AI 事業部相關之 VHM™(Very-high Bandwidth Memory)記憶體開案量由個位數、礦機應用為主，增加到十多件且包括 AI 應用客戶。

其次，在很多情況下高效能 SoC 採用採用 2.5D 或 3D 封裝時，無法採用傳統電容，只能採用矽電容；目前市場主流技術是以 deep trench(深溝式)，愛普則用 DRAM 的堆疊技術開發出 IPD 產品，預期將可在先進封裝的潛在市場占有一席之地。管理層於 2023 年 11 月法說指出，2024 年 IPD 就會量產並貢獻營收，預期未來也是愛普 3D IC 產品線之一。

圖表 12：日月光小晶片(chiplet)封裝整合技術示意圖-內含矽電容元件



資料來源：日月光官網 2022/10/04

免責宣言

分析師認證

負責分析師（或者負責參與的分析師）確認：

1. 本研究報告的內容係反映分析師對於相關證券的個人看法。
2. 分析師的報酬與本研究報告內容表述的個別建議或觀點無關。

免責聲明

本研究報告所載資料僅供參考，並不構成要約、招攬、邀請、宣傳、誘使，或任何不論種類或形式之表示、建議或推薦買賣本研究報告所述的任何證券。所載資料乃秉持誠信原則所提供，並取自相信為可靠及準確之資料來源。然而，有關內容及看法並未考慮個別投資人之投資目標、財務狀況及特別需求。本研究報告所載述的意見可隨時予以更改或撤回，恕不另行通知。本公司及任何關係企業等，皆有可能持有報告中提及的證券。本公司或任何關係企業會提供或嘗試提供投資銀行或其他形式的服務給報告中提及的公司。富邦投顧保留報告內容之一切著作權，禁止以任何形式之抄襲及轉寄他人。

富邦的股票評等標準

評等	定義
買進	預估未來6個月內的絕對報酬超過 15%
中立	預估未來6個月內有絕對報酬介於15%與負15%之間
賣出	預估未來6個月內的絕對報酬高於負15%
未評等	由於富邦目前與該公司有特定交易或沒有足夠的基本資料判斷該公司評等
評估中	目前正在研議個股的投資評等，將於3到6個月內提供投資評等

產業評等	定義
優於大盤	預估該產業在未來6個月內會比大盤指數表現突出
持平	預估該產業在未來6個月內與大盤指數表現相較持平
劣於大盤	預估該產業在未來6個月內會比大盤指數表現較差